

SEMICONDUCTOR DEVICE

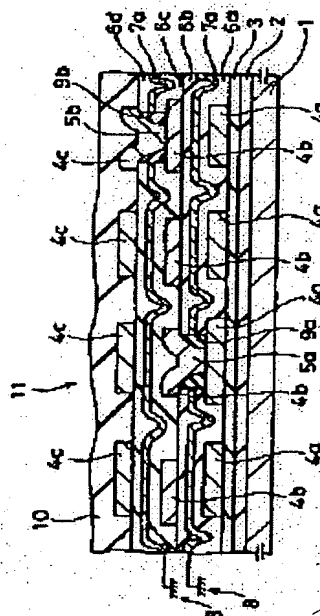
Patent number: JP2082555
Publication date: 1990-03-23
Inventor: OWADA NOBUO
Applicant: HITACHI LTD
Classification:
- international: H01L21/90
- european:
Application number: JP19880235588 19880919
Priority number(s):

Report a data error here

Abstract of JP2082555

PURPOSE: To avoid induced noises which is induced between wirings by interposing a conductive layer which is connected to a standard potential between interlayer insulating films to separate a plurality of wiring layers formed on a semiconductor substrate.

CONSTITUTION: An interlayer insulating film 6a consisting of SiO₂, etc., is deposited on an insulating film 3 excepting a viahole section 5a formed on a wiring 4a to coat a surface of each wiring 4a, and a conductive layer 7a consisting of titanium, tungsten, etc., or oxide thereof is deposited all over there. Since a step is produced on an upper surface of the interlayer insulating film 6a due to the wiring 4a, the conductive layer 7a is partially warped and provided between each wiring 4a. The conductive layer 7a is electrically connected to a stable standard potential (GND) 8 at a low impedance in a circuit system. Since the conductive layer thereby shields coupling due to inductance phenomenon between wirings of an upper and a lower layers, induced noises induced between wiring layers through this coupling can be avoided.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑬ Int. Cl.³

H 01 L 21/90

識別記号

V

庁内整理番号

6824-5F

⑭ 公開 平成2年(1990)3月23日

審査請求 未請求 請求項の数 2 (全9頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-235588

⑰ 出 願 昭63(1988)9月19日

⑱ 発 明 者 大 和 田 伸 郎 東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 筒井 大和

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 半導体基板上に形成された複数の配線層を隔てる層間絶縁膜の間に、基準電位に接続された導電層を介在させたことを特徴とする半導体装置。

2. 前記導電層の一部が、その下方の配線層に形成された配線間に配設されていることを特徴とする請求項1記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置に関し、特に、半導体基板上に複数層の配線層を有する半導体装置に適用して有効な技術に関するものである。

〔従来の技術〕

近年、電子機器には、益々、データ処理の高速化、及び機能の大規模化が要求されている。この要求に従い、LSIを構成する回路素子の高速動

作化、及び高集積化がなされている。

しかし、LSIは、それを構成する回路素子の動作速度が速くなればなるほど、また、高集積化すればするほど、雑音(以下、ノイズという)に対しては弱くなる。

特に問題となるノイズとして、静電誘導や電磁誘導などの誘導現象によって生じる誘導ノイズがある。

例えば、静電誘導ノイズは、配線間に形成される配線容量を介して配線相互間に誘起されるノイズである。

上記配線容量については、例えば、日刊工業新聞社、昭和62年9月29日発行「CMOSデバイスハンドブック」P367～P371に記載がある。

この文献には、LSIにおいては、回路素子の微細化に伴い、接合容量やゲート容量は減少するが、配線長が同じ場合には配線容量はそれほど低減されず、また、負荷容量全体中に占める配線容量の割合は増大することが説明されている。

そして、同一配線層における配線長を短縮し、かつ、配線容量を低減させるには多層配線構造が有効であると説明されている。

〔発明が解決しようとする課題〕

ところが、従来の技術においては、異なる配線層間に生じる配線容量についての配慮がなされていないことが本発明者によって見出された。

このため、ある配線層の配線で電圧変動があった場合、配線容量を介してその下層（あるいは上層）の配線に、静電誘導ノイズが生じ、回路を誤動作させる問題があった。

しかも、従来は、配線を多層化し、同一配線層内で、互いに平行して走る配線の配線長を短くする等によって、それらの配線間に生じる配線容量を低減させていたが、誘導ノイズを防止する点については、十分な効果が得られていなかった。

特に、LSIが高速化し、信号の立ち上がり時間が短くなるほど誘導しやすい高周波が発生し、誘導ノイズが大きくなるので、このような誘導ノイズの問題は一層顕著となる。

成された配線間に配設されている半導体装置構造である。

〔作用〕

上記した手段によれば、導電層が、上下層の配線相互間の誘導現象による結合を遮断するため、この結合を介して配線層相互間に誘起される誘導ノイズが防止される。

さらに、配線間に配設された導電層が同一配線層に形成された配線間の誘導現象による結合を低減させるため、この結合を介して配線相互間に誘起される誘導ノイズが低減される。

〔実施例〕

第1図は本発明の一実施例である半導体装置を示す半導体ペレットの要部断面図、第2図(a)~(d)はこの半導体装置の製造工程を示す半導体ペレットの部分断面図、第3図(a)、(b)は配線間に生じる電気力線の状態を模式的に示す配線の断面図である。

第1図に示すように、シリコン(Si)単結晶等からなる半導体基板（以下、基板という）1の

本発明は上記課題に着目してなされたものであり、その目的は、配線層相互間に生じる誘導現象を低減させ、誘導現象による回路の誤動作を防止することのできる技術を提供することにある。

本発明の他の目的は、配線層相互間に生じる誘導現象の低減と併せて、同一配線層の配線相互間に生じる誘導現象を低減することのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、明細書の記述および添付図面から明らかになるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

すなわち、半導体基板上に形成された複数層の配線層を隔てる層間絶縁膜の間に、基準電位に接続された導電層を介在させた半導体装置構造である。

また、導電層の一部が、その下方の配線層に形

上面には、二酸化ケイ素(SiO_2)等からなるフィールド酸化膜2が形成されている。

フィールド酸化膜2の上面には、リンケイ酸ガラス(phospho silicate glass: 以下、PSGという)等からなる絶縁膜3が堆積されている。

絶縁膜3の上面には、例えば、アルミニウム(Al)-シリコン(Si)-銅(Cu)合金からなる複数層の信号用の配線4aが所定の間隔をおいて所定の形状にパターンニングされており、これにより、第1配線層が形成されている。

なお、配線材料をAl-Si-Cu合金とした理由は、ストレスマイグレーションやエレクトロマイグレーション等を低減させるためである。

そして、絶縁膜3の上面には、配線4a上に形成されたバイヤホール部5aを除いて、各配線4aの表面を被覆するように、 SiO_2 等からなる層間絶縁膜6aが堆積されている。

本実施例においては、層間絶縁膜6aの上面の全域に、例えば、チタンやタングステン、あるいはその酸化物からなる導電層7aが堆積されてい

る。

導電層7aは、層間絶縁膜6aの上面に配線4aによる段差が生じているため、その一部が弯曲した状態で各配線4a間に配設されている。

また、導電層7aは、回路系における低インピーダンスで安定な基準電位、例えば、グランド（以下、GNDという）8に電氣的に接続されるようになっている。

導電層7aの上面には、層間絶縁膜6bが堆積されている。層間絶縁膜6bは、例えば、 SiO_2 - SOG (spin on glass) - SiO_2 の3層構造からなり、その上面は、ステップカバレッジの観点から平坦化されている。

層間絶縁膜6bの上面には、例えば、Al-Si-Cu合金からなる複数の信号用の配線4bが、所定の間隔をおいて配線4aと同じ方向に配置されており、これにより、第2配線層が形成されている。

第2配線層の配線4bと第1配線層の配線4aとの電氣的な接続は、バイヤホール部5aを介し

層間絶縁膜6dの上面には、例えば、Al-Si-Cu合金からなる複数の信号用の配線4cが所定の間隔をおいて配線4bと同じ方向に配置されており、これにより、第3配線層が形成されている。

第3配線層の配線4cと第2配線層の配線4bとの電氣的な接続は、バイヤホール部5bを介してなされている。

したがって、バイヤホール部5bにおいても、配線4cと導電層7aとを絶縁する必要があるため、バイヤホール部5bの内壁面に沿ってサイドウォール9bが形成されている。

層間絶縁膜6dの上面には、さらに、第3配線層の配線4cを被覆するように、表面保護膜10が堆積されている。

なお、この表面保護膜10は、下層から順に、例えば、PSG膜とシリコン窒化 (Si_3N_4) 膜とを堆積されてなり、下層のPSG膜により、配線4cのストレスマイグレーション等が低減され、その上層の Si_3N_4 膜により、ナトリウム (Na

てなされている。

この場合、配線4bと導電層7aとを絶縁する必要があるため、バイヤホール部5aの内壁面に沿って SiO_2 、等からなるサイドウォール9aが形成されている。

サイドウォール9aは、配線4bと導電層7aとを絶縁する上、さらに、表面がラウンド状にエッチングされているため、バイヤホールの形状に起因する上層配線のステップカバレッジの劣化を防止している。

層間絶縁膜6bの上面には、第2配線層の配線4b上に形成されたバイヤホール部5bを除いて、第2配線層の各配線4bを被覆するように SiO_2 、等からなる層間絶縁膜6cが堆積されている。

層間絶縁膜6cの上面には、GND8に接続された導電層7aが堆積されており、さらにその上面には、平坦化された層間絶縁膜6dが堆積されている。なお、層間絶縁膜6dも層間絶縁膜6bと同じく、例えば、 SiO_2 - SOG - SiO_2 の3層構造となっている。

イオンや水分等から各配線4cが保護されている。

このような半導体ウェハ11の図示しない素子形成領域には、トランジスタやコンデンサ等の素子が形成されている。そして、これら素子が配線4a~4c、及び図示しない電源電圧用の配線 (GND用の配線を含む) によって結線され、ダイナミックRAM回路などのメモリ回路が構成されている。

このような半導体ウェハ11を形成するには、例えば、次のようにする。

まず、第2図(a)に示すように、選択酸化 (LOCOS: Local Oxidation of Silicon) 法などにより、基板1上の素子分離領域にフィールド酸化膜2を形成する。

その後、図示はしないが、このフィールド酸化膜2に囲まれた素子形成領域にトランジスタやコンデンサ等の素子を形成する。

そして、フィールド酸化膜2の上に絶縁膜3を、例えばプラズマCVD法により堆積し、次いで堆

積された絶縁膜3の所定部分にコンタクトホール(図示せず)を開孔形成する。

次に、絶縁膜3の上面に、 $Al-Si-Cu$ 合金膜をスパッタリング法などにより堆積した後、堆積された合金膜を、例えば、反応性イオンエッチング(Reactive Ion Etching; 以下、RIEという)法によりパターンニングして、第2図(c)に示す配線4aを形成する。

その後、絶縁膜3上に各配線4aを被覆するように、層間絶縁膜6aをCVD法などにより堆積し、その上面に、例えば、スパッタリング法により、チタンやタングステンあるいはその酸化物からなる導電層7aを堆積する。

次に、第2図(c)に示すように、導電層7aの上面に層間絶縁膜6bを形成する。

層間絶縁膜6bは、まず、 SiO_2 膜をプラズマCVD法などにより堆積し、次いで、その上に、SOG膜を塗布およびベーク後、さらに、その上に $Al-Si-Cu$ 合金との密着性を良好にするため、プラズマCVD法などにより SiO_2 膜を

膜6dを順に堆積し、次いでバイヤホール部5bを開孔形成する。

そして、第2図(i)に示すように、バイヤホール部5b内に上記サイドウォール9aと同様にしてサイドウォール9bを形成し、次いで、第2図(j)に示すように、配線4cを形成する。

最後に、PSG膜、 Si_3N_4 膜を順にプラズマCVD法などにより堆積して表面保護膜10(第1図)を形成し、その後、図示はしないがレジストパターンをマスクにパッケージとの接続を行う電極の部分に開孔部をエッチングで形成する。

次いで、レジスト膜を除去し、電極を形成した後、所定の検査を行い、半導体ウエハ11をスクライビングし、切断された半導体ペレットを所定のパッケージに封止する。この際、導電層7aは、例えば、パッケージのGNDピンと接続され、半導体装置が製造される。

次に、配線容量による静電誘導ノイズを例に、本実施例の作用を第3図(a)、(b)を用いて説明する。なお、第3図(a)は、導電層7aが形成されてい

ない状態を形成する。

次に、第2図(d)に示すように、RIE法などによって、配線4a上にバイヤホール部5aを開孔形成する。

その後、第2図(e)に示すように、層間絶縁膜6bの上面に例えば SiO_2 膜12をCVD法などにより堆積する。

そして、第2図(f)に示すように、 SiO_2 膜12をRIE法などにより除去し、バイヤホール部5a内にサイドウォール9aを形成する。この際、サイドウォール9aの表面がラウンド状にエッチングされるとともに、サイドウォール9aを通して露出している下層の配線4aの表面が軽くエッチングされる。

次に、第2図(g)に示すように、層間絶縁膜6bの上面に、第1配線層と同じように $Al-Si-Cu$ 合金をスパッタリング法等により堆積し、配線4bをRIE法等によりパターン形成する。

その後、上記工程を繰り返して、第2図(h)に示すように、層間絶縁膜6c、導電層7a、層間絶縁

膜6dを順に堆積し、次いでバイヤホール部5bを開孔形成する。

そして、第2図(i)に示すように、バイヤホール部5b内に上記サイドウォール9aと同様にしてサイドウォール9bを形成し、次いで、第2図(j)に示すように、配線4cを形成する。

最後に、PSG膜、 Si_3N_4 膜を順にプラズマCVD法などにより堆積して表面保護膜10(第1図)を形成し、その後、図示はしないがレジストパターンをマスクにパッケージとの接続を行う電極の部分に開孔部をエッチングで形成する。

次いで、レジスト膜を除去し、電極を形成した後、所定の検査を行い、半導体ウエハ11をスクライビングし、切断された半導体ペレットを所定のパッケージに封止する。この際、導電層7aは、例えば、パッケージのGNDピンと接続され、半導体装置が製造される。

次に、配線容量による静電誘導ノイズを例に、本実施例の作用を第3図(a)、(b)を用いて説明する。なお、第3図(a)は、導電層7aが形成されてい

ない状態を形成する。

び配線4c、4c相互間に誘起される静電誘導ノイズについて説明する。

配線4b、4b相互間においては、電気力線が導電層7aに向かっていると同時に、導電層7aの一部が配線4b、4b間に湾曲した状態で配設されているため、上記異なる配線層の配線4b、4c相互間と同様の作用により、配線4b、4b相互間の容量結合も大幅に低減する。

したがって、同一配線層の配線4b、4b相互間に誘起される静電誘導ノイズも防止される。

また、第3図(四)に示すように、配線4c、4c相互間に生じている電気力線は、その多くが導電層7aに向かうとともに、導電層7aがない第3図(四)の場合と比べ、その数が少なくなっている。

すなわち、第3図(四)は、配線4c、4c相互間の容量結合が低減していることが示されている。

したがって、同一配線層の配線4c、4c相互間に誘起される静電誘導ノイズも防止される。

このように本実施例によれば、次の効果を得ることができる。

(1)、層間絶縁膜6a、6bの間、及び層間絶縁膜6c、6dの間の各々に導電層7aを形成したことにより、配線4a、4b相互間、及び配線4b、4c相互間に生じる配線容量が低減するため、容量結合を介して異なる配線層相互間に誘起される静電誘導ノイズが防止される。

(2)、同一配線層における配線4a、4a相互間、配線4b、4b相互間、及び配線4c、配線4c相互間の配線容量が低減するため、容量結合を介して同一配線層の配線4a、4a相互間、配線4b、4b相互間、及び配線4c、配線4c相互間に誘起される静電誘導ノイズが防止される。

(3)、上記(1)、(2)により、静電誘導ノイズによる回路の誤動作が防止されるため、信頼性の高い半導体装置が提供される。

(4)、上記(1)、(2)により、信号のS/N比(signal to noise ratio)が向上する。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱し

ない範囲で種々変更可能であることはいうまでもない。

例えば、導電層は、チタンやタンゲステンあるいはその酸化物に限定されるものではなく、種々適用可能であり、例えば、窒化チタン等でも良い。

また、実施例においては、導電層が、下方に湾曲した状態となっているが、これに限定されるものではなく、例えば、さらに配線を多層化する場合には、導電層を平坦化しても良い。

この場合、第4図(四)に示すように、同一配線層における配線4b、4b相互間、及び配線4c、4c相互間における電気力線は、その多くが導電層7bに向かうとともに、その数は、導電層7bがない第4図(四)の場合と比べ、少なくなっている。

したがって、平坦化された導電層7bによっても、同一配線層の配線4b、4b相互間、配線4c、4c相互間の静電誘導ノイズが防止される。

ところで、導電層が平坦化されていると、導電層の上方の配線層に配線を形成する場合、この配線と、導電層の下方の配線層に形成された配線と

の位置合わせが困難になることが考えられる。

そこで、このような場合には、導電層で被覆された半導体ウエハ上に形成されているマスクマークに、例えば、280nmより長波長側の光を照射し、その反射光を検出することにより、配線パターンが描かれたマスク基板の位置合わせを精度良く行うことができる。

したがって、このような場合には、導電層を280nmより長波長側の光が透過できる材料で構成すると良い。

また、実施例においては、導電層を層間絶縁膜の上面の全域に形成した場合について説明したが、これに限定されるものではなく、例えば、配線が長い区間にわたり平行する部分や、インピーダンスが高い配線が形成された部分、あるいは接続している回路素子が高速である配線が形成された部分など、特に誘導ノイズが生じ易い部分にのみ形成しても良い。

また、本実施例において導電層は、静電誘導現象によって配線相互間に誘起される静電誘導ノイ

ズの防止に効果があると説明しているが、これに限定されるものではなく、例えば、電磁誘導現象によって配線相互間に形成された相互インダクタンスを低減し、配線相互間に誘起される電磁誘導ノイズを防止することにおいても同じく効果がある。

また、層間絶縁膜の平坦化は、SOG膜による方法に限定されるものではなく、種々変更可能であり、例えば、エッチバック法やECRプラズマCVD法などでも良い。

また、メモリ回路は、ダイナミックRAM回路に限定されるものではなく、種々適用可能であり、例えば、スタティックRAM回路等でも良い。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるメモリ回路を備えた半導体装置に適用した場合について説明したが、これに限定されず種々適用可能であり、例えば、論理回路が構成された他の半導体装置に適用することもできる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

すなわち、半導体基板上に形成された複数の配線層を隔てる層間絶縁膜の間に、基準電位に接続された導電層を介在させたことにより、誘導現象による配線相互間の結合が、導電層により低減されるため、配線相互間に誘起される誘導ノイズが防止される。

また、前記導電層の一部が、その下方の配線層に形成された配線間に配設されていることにより、異なる配線層間に誘起される誘導ノイズが防止される上、さらに、同一配線層における配線間の誘導現象による結合が、導電層により低減されるため、同一配線層間の配線相互間に誘起される誘導ノイズも防止される。

4. 図面の簡単な説明

第1図は本発明の一実施例である半導体装置を示す半導体ベレットの要部断面図、

第2図(a)~(i)はこの半導体装置の製造工程を示

す半導体ベレットの部分断面図、

第3図(a)、(b)は配線間に生じる電気力線の状態を模式的に示す配線の断面図、

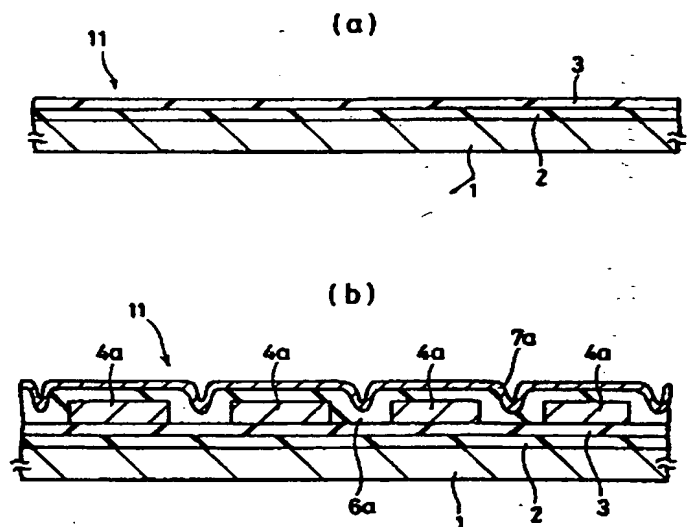
第4図(a)は導電層を平坦化した場合における配線間に生じる電気力線の状態を模式的に示す配線の断面図、

第4図(b)は導電層が形成されていない場合の配線間に生じる電気力線の状態を模式的に示す配線の断面図である。

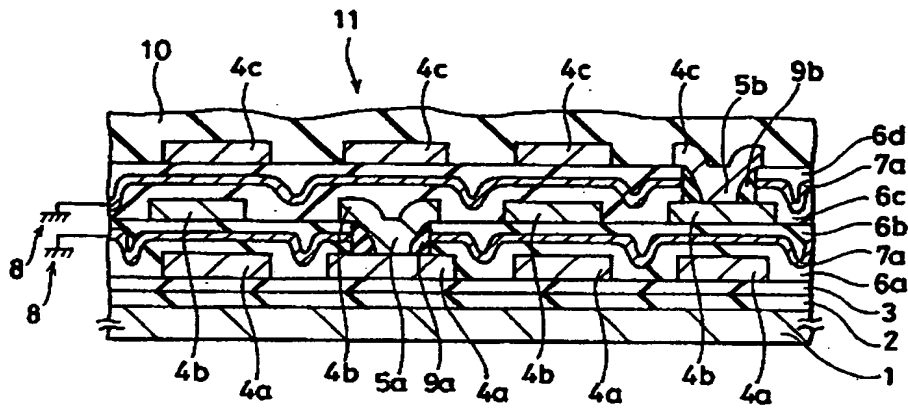
1・・・半導体基板、2・・・フィールド酸化膜、3・・・絶縁膜、4a~4c・・・配線、5a、5b・・・バイヤホール部、6a~6d・・・層間絶縁膜、7a、7b・・・導電層、8・・・GND（基準電位）、9a、9b・・・サイリウホール、10・・・表面保護膜、11・・・半導体ウェハ、12・・・SiO₂膜。

代理人 弁理士 岡 井 大 和

第 2 図



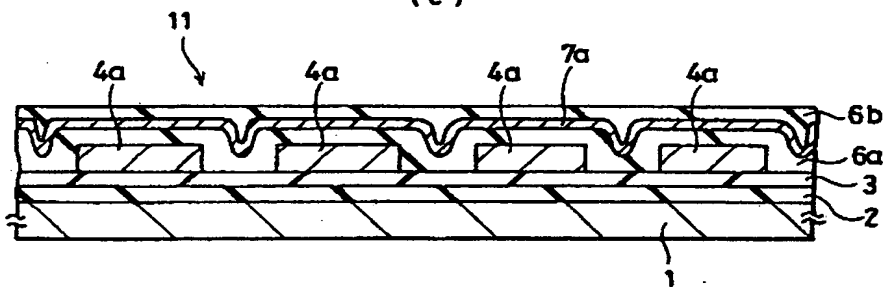
第 1 図



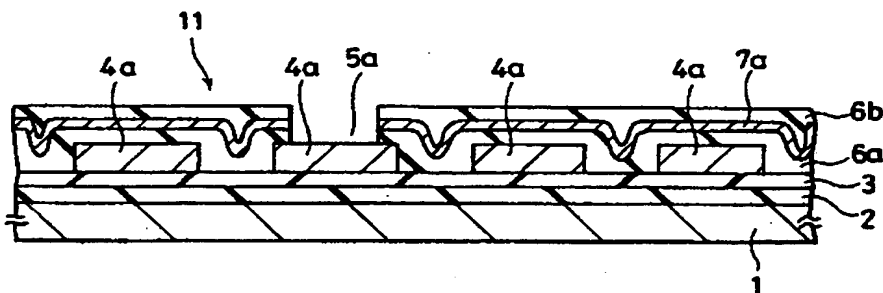
- 1: 半導体基板
4a~4c: 配線
6a~6d: 層間絶縁膜
7a: 導電層
8: クラウド
11: 半導体ウェハ

第 2 図

(c)

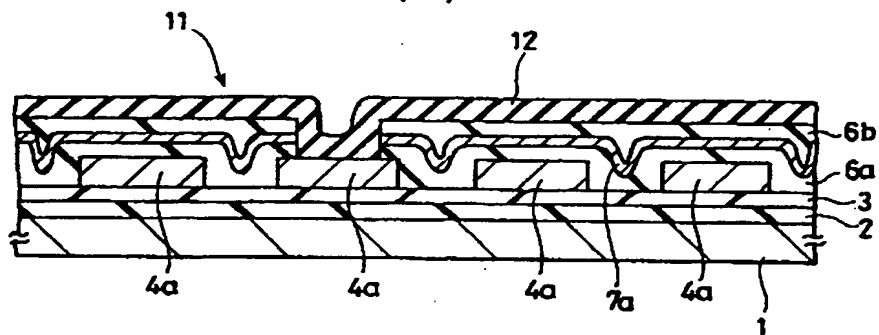


(d)

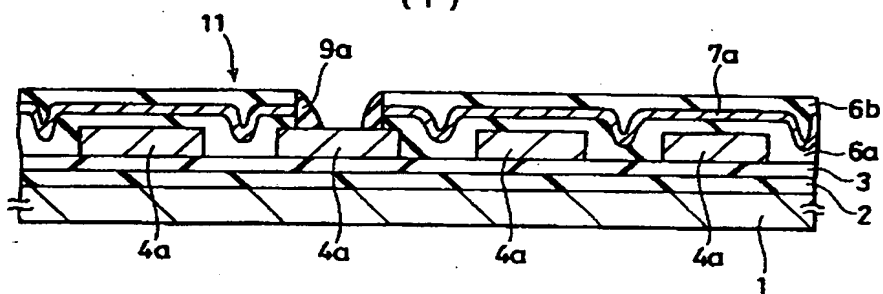


第 2 圖

(e)

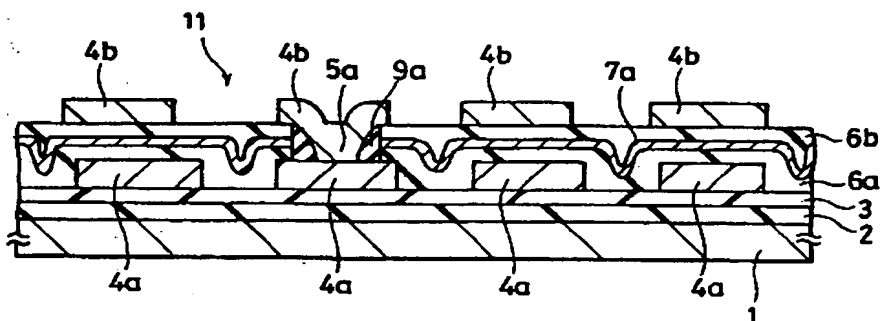


(f)

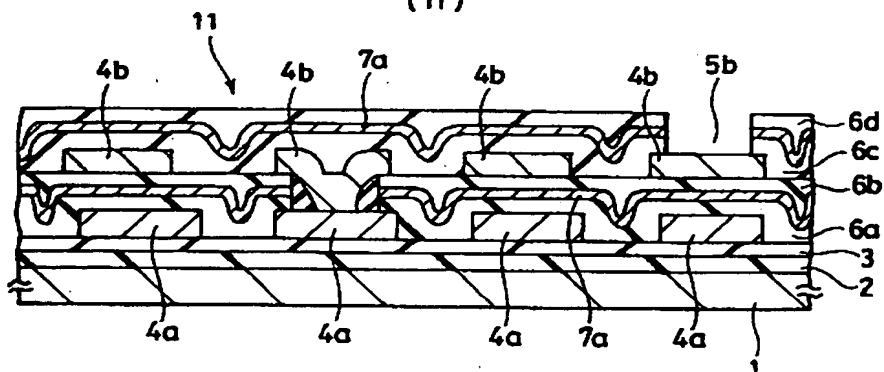


第 2 圖

(g)

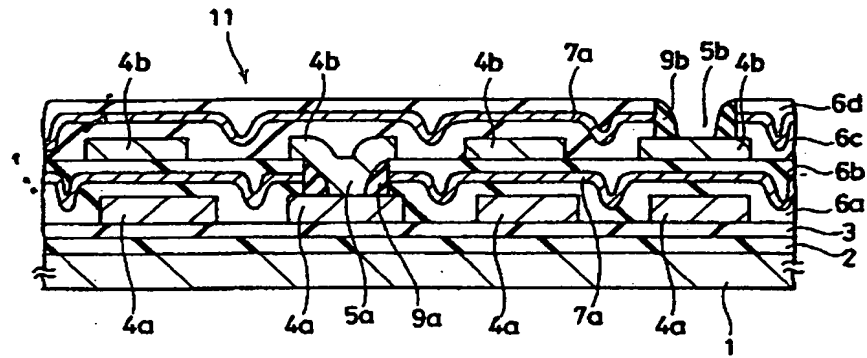


(h)

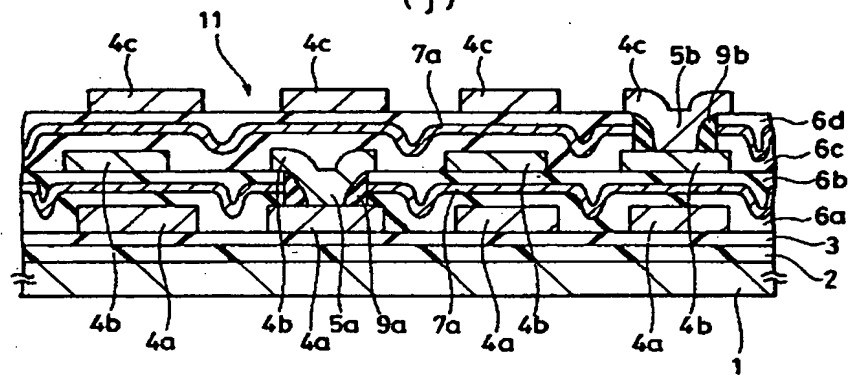


第 2 圖

(i)

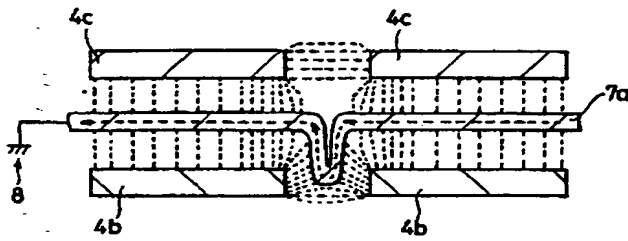


(j)

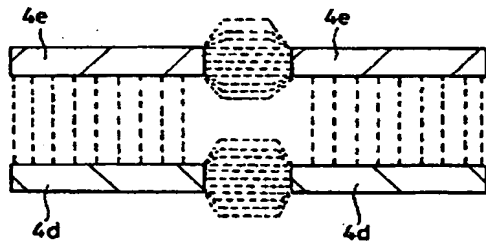


第 3 圖

(a)

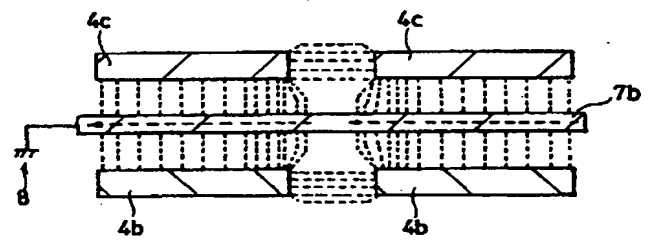


(b)



第 4 圖

(a)



(b)

